

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 07307409  
 PUBLICATION DATE : 21-11-95

APPLICATION DATE : 12-05-94  
 APPLICATION NUMBER : 06098305

APPLICANT : SHINKO ELECTRIC IND CO LTD;

INVENTOR : SUWA MAMORU;

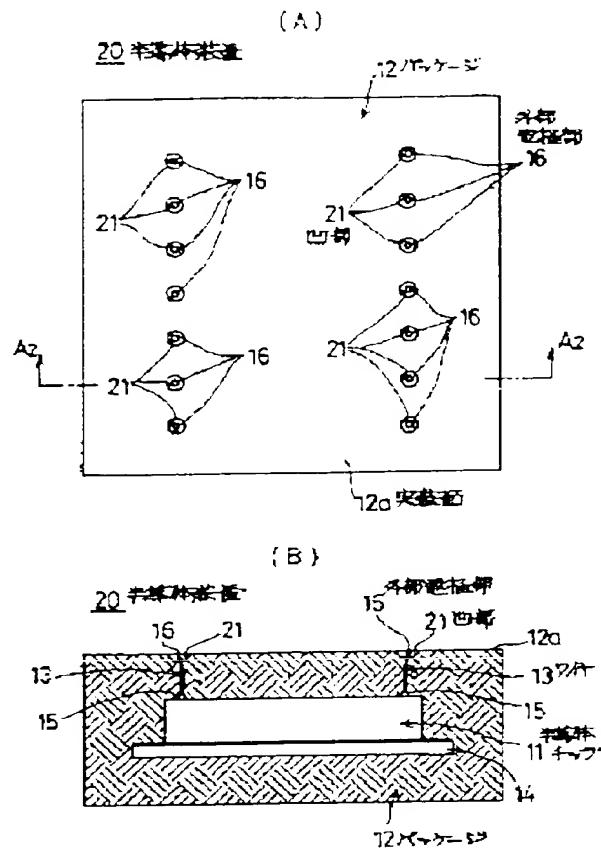
INT.CL. H01L 23/12 H01L 21/60

TITLE SEMICONDUCTOR DEVICE AND ITS  
 PRODUCTION METHOD

ABSTRACT PURPOSE: To reduce the cost and size of a semiconductor device having external connecting terminals at the surface of a package and its production process.

CONSTITUTION: A semiconductor device comprises a semiconductor chip 11 and package to seal the chip 11. External electrodes 16 are formed by wires 31 led out such that one end is connected to a pad 15 formed on the chip 11 and the other end formed and exposed on the surface 12a of the package 12, and recesses 21 are formed at the lead-out positions of the electrodes 16, thus exposing the electrodes 16 over specified range.

COPYRIGHT: (C)1995,JPO





(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平7-307409

(43)公開日:平成7年(1995)1月12日

(51)Int.CL

H 01 L 23/12  
21/60

識別記号

301 A

内整理番号

E 1

技術表示箇所

H 01 L 23/12

W

審査請求 未請求 請求項の数 5 ○ 1 (全 10 頁)

(21)出願番号 特願平6-98305

(22)出願日 平成6年(1994)5月12日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(71)出願人 00019688

新光電気工業株式会社

長野県長野市大字栗田字舍利田711番地

(72)発明者 草間 勲彦

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(72)発明者 江尻 洋一

長野県長野市大字栗田字舍利田711番地

新光電気工業株式会社内

(74)代理人 フラジ士 伊東 志彦

最終頁に続く

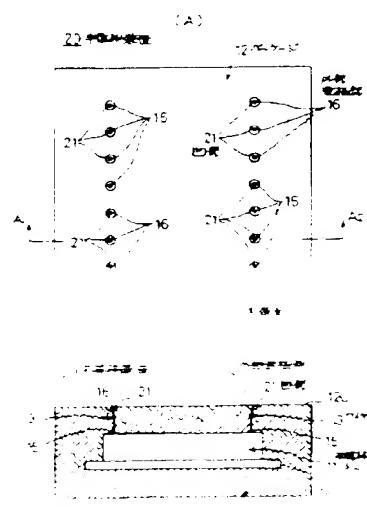
(54)【発明の名称】 半導体装置及びその製造方法

(55)【要約】

【目的】 本発明はパッケージの表面に外部接続端子を有する半導体装置及びその製造方法に関するもので、コストの低減及び小型化を図ることを目的とする。

【構成】 半導体チップ1-1上、この半導体チップ1-1を封止するパッケージ1-2とを具備する半導体装置において、上記半導体チップ1-1に形成されたパッド1-5に一端が接続されると共に、他端がパッケージ1-2の表面1-2aに露出するよう引き出されたワイヤ1-3により外部電極1-6を形成し、この外部電極1-6の引き出し位置にて、この外部電極1-6を所定範囲にわたり露出させるた

本発明の第7実施例に於ける半導体装置を示す。図(A)は(A)は基板表面の実装面と不平面であり、(B)は(A)におけるA2-A2線の断面図である。



## 【特許請求の範囲】

【請求項1】 半導体チップ(11)と、該半導体チップ(11)を封止するパッケージ(12)とを具備する半導体装置において、該半導体チップ(11)に形成されたバッド(15)の一端が接続されると共に、他端が該パッケージ(12)の表面(12a)に露出するよう引き出されたワイヤ(13)により外部電極(16)が形成されており、該外部電極(16)の引き出し位置に、該外部電極(16)を所定範囲にわたり露出させるための凹部(21)が形成されていることを特徴とする半導体装置。

【請求項2】 該凹部(21)に、該外部電極(16)に接続するバンブ(31)を設けたことを特徴とする請求項1記載の半導体装置。

【請求項3】 半導体チップ(11)と、該半導体チップ(11)を封止するパッケージ(12)とを具備する半導体装置において、該半導体チップ(11)に形成されたバッド(15)の一端が接続されると共に、他端が該パッケージ(12)の表面(12a)に沿って延びるワイヤ(13)により、外部電極(41)が形成されることを特徴とする半導体装置。

【請求項4】 半導体チップ(11)が搭載されるステージ(14)と、該半導体チップ(11)との間にワイヤ(13)が配設されるリード部(51)とを具備し、かつ該ステージ(14)が該リード部(51)に対して低い位置とされたりードフレーム(50)を形成するリードフレーム形成工程と、該マテージ(14)に該半導体チップ(11)を固定すると共に、該半導体チップ(11)に形成されたバッド(15)と該リード部(51)との間にワイヤ(13)を配設する半導体チップ搭載工程と、該半導体チップ(11)が搭載されたリードフレーム(50)を金型(52, 62)に装着すると共に該金型(52, 62)に樹脂を充填し、該半導体チップ(11)を封止するパッケージ(12)を形成するパッケージ形成工程と、該パッケージ形成工程の終了後、該半導体チップ(11)の該ワイヤ(13)が配設された面(11a)と該リードフレーム(50)の配設位置との間位置を切断して該パッケージ(12)の一部(55)を該ワイヤ(13a)と共に切断除去する不要部除去工程とを具備することを特徴とする半導体装置の製造方法。

【請求項5】 該不要部除去工程において、該リードフレーム(50)が該金型(62)に装着された状態において、該ワイヤ(13)の配設位置を該金型(62)を構成する上型(62a)と下型(62b)との分離位置に配設したことを特徴とする請求項4記載の半導体装置の製造方法。

【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は半導体装置及びその製造方法に係り、特にパッケージの表面に外部接続端子を有する半導体装置及びその製造方法に関する。

【0002】近年の半導体装置の高密度実装化に伴い、パッケージの小型化が要求されている。また、半導体チップの高集成化に伴い、パッケージング技術の向上も望まれている。

【0003】上記の各要求を実現するためには、高密度化されることにより多數の端子を有した半導体チップを小型化パッケージに収納する必要がある。しかるに、外部接続端子としてパッケージの側面よりリードを延出した構成のパッケージ構造では、半導体チップの端子の増大に伴いリード数も増大するため、パッケージの小型化にはリードの配設面より限界がある。

【0004】そこで近年では、外部接続端子としてリードに代えてバンブ(Bump)を用い、パッケージ表面にバンブを形成することにより、外部接続端子の配設ビッチを小さくし、これにより半導体チップの高密度化及びパッケージの小型化に共に対応できるようにした半導体装置が提供されている。

## 【0005】

【従来の技術】図1に外部接続端子としてバンブを用いた従来の半導体装置1の一例を示す。同図において、2は多層配線基板であり、半導体チップ3はこの多層配線基板2の上面に搭載されている。また、多層配線基板2の上面にはリードパターン4がプリント形成されており、このリードパターン4と半導体チップ3に形成されたバンブ5との間にワイヤ6が配設されている。

【0006】半導体チップ3とワイヤ6により電気的に接続されたリードパターン4は、多層配線基板2の内部に形成された内層バターン及びアーチホール(共に図に現れず)を介して多層配線基板2の下面に引き出されており、この引き出し位置には外部接続端子となるバンブ7が形成されている。

【0007】更に、多層配線基板2の上面には封止樹脂8が配設されており、半導体チップ3を封止する構成となっていた。

## 【0008】

【発明が解決しようとする課題】しかし、上記した従来構成の半導体装置1では、多層配線基板2を構成要素としており、この多層配線基板2は内層バターンやスルーオールが形成された構成であるため製造コストが高く、これに伴い半導体装置1のコストが上昇してしまうという問題点があった。

【0009】また、半導体装置1の厚さ寸法に注目すると、多層配線基板2の厚さ寸法は半導体チップ3の厚さ寸法に比べてかなり大きいため、より多層配線基板2を用いることにより半導体装置1の厚さ寸法が大きくなり、半導体装置1の低背化を図ることができないという

問題点があった。

【0.01.0】また、上記した従来構成の半導体装置1では、半導体チップ3と共に「」<sup>17</sup>側的に接続するためには、ハーフハーフシールド半導体チップ3のみ、ト5との間にアリゲータを設ける必要があり、よって半導体装置1内にワイヤ6を配設するためのスペース(図中、矢印17で示す)が半導体チップ3の周りに必要となり、このスペースをだけ半導体装置1が大型化してしまうという問題点があった。

【り 0 1 1】 本発明は上記の点に鑑みてなされたものであり、コストの低減及び小型化を図もうる半導体装置及びその製造方法を提供することを目的とする。

(0 0 1 2)

【課題を解決するための手段】上記の課題は下記の手段を講じることにより解決することができる。

〔0.01.3〕請求項1の発明では、半導体チップ上、この半導体チップを封止するパッケージとを具備する半導体装置において、上記半導体チップに形成されたパッドに一端が接続されると共に、他端がパッケージの表面に露出するよう引き出されたワイヤにより外部電極が形成されており、この外部電極の引き出し位置に外部電極を所定範囲にわたり露出させるための凹部を形成したことを特徴とするものである。

【(0)14】また、請求項との発明では、上記四部に、外部電極に接続するバンプを設けたことを特徴とするものである。

【(0)15】また、請求項3の発明では、半導体チップと、この半導体チップを封止するパッケージとを具備する半導体装置において、上記半導体チップに形成されたパッドに一端が接続されと共に、他端がパッケージの表面に沿って延出するワイヤにより、外部電極が形成されることを特徴とするものである。

(付り1ヶ月) また、前項増付の発明より生では、半導体チップが搭載されるフレームと、半導体チップとの間にワイヤが配設されるリード部とを具備し、かつワイヤーがこのリード部に対して低い位置とされたリードフレームを形成するリードフレーム形成工程と、上記ワイヤーに半導体チップを固定すると共に、半導体チップに形成されたワットと上記リード部との間にワイヤを配設する半導体チップ搭載工程と、上記半導体チップが搭載されたリードフレームの上部を基部とする、且つこの小型に樹脂

成する上型と下型のものである。

2

## 【0018】

• 11 •

〔1019〕請求項1の発明によれば、従来の

層配線基板を設ける必要はなくなり、半導体チップをダイヤルのみによりパッケージの表面に電気的に引き出すことが可能となるため、半導体装置のコスト低減を図ることができる。また、上記のように多層配線基板が不要となることにより、半導体装置の低背化を図ることもできる。

【0020】また、従来必要であったパッケージ内における半導体チップと多層配線基板との間のワイヤ配設処理は不要となり、これに伴い従来ワイヤを配設するため必要であったスリーブも不要となり、半導体装置の小型化を図ることができる。

【0021】更に、パッケージの外部電極引出し位置に凹部を形成し、外部電極部を所定範囲にわたり露出する構成としたことにより、ワイヤのパッケージからの露出面積を広くすることができ実装性を向上させることができる。

【0012-2】また、請求項2の発明によれば、フィヤのバッテージの表面に引き出され外部電極部を開成する部位にパンプを設けたことにより、フィヤ単体が露出した構成に比べて接続面積が広がるため、半導体装置を実装する際における実装性を向上させることができる。

【0023】また、請求項3の発明によれば、パッケージの表面に引き出され外部電極部をパッケージの表面に沿って延出させた構成とすることにより、この延出部分にパンプと同様の機能を持たせることができる。よって、パンプを作成することなく半導体装置を実装する際にもける実装性を向上させることができる。

(出願第4) また、請求項4の発明の上によれば、リードフレーム形成工程において所定形状のリードフレームを形成し、半導体チップ搭載工程において半導体チップとリード部との間にワイヤを配設し、パッケージ死成工程において半導体チップを封止するパッケージを形成した後、不要部除去工程において半導体チップのワイヤが配設された面とリード部の配設位置との間位置を切断してパッケージの一部をワイヤと共に切断除去することによって、第1面に形成した接合部を露出する構造である。

（三）在本行的行員中，有許多是具有相當程度的知識和才能的。

り、ワイヤは形成されるパッケージの表面に沿って延出した構成となるため、請求項3記載の半導体装置を容易に形成することができる。

## 【0026】

【実施例】次に本発明の実施例について図面と共に説明する。

【0027】図1は本発明の第1実施例である半導体装置20を示している。図1(A)は半導体装置20の実装面を示しており、また図1(B)は図1(A)におけるA-A'線に沿った断面を示している。

【0028】この半導体装置20は、大略すると半導体チップ11と、この半導体チップ11を封止するパッケージ12と、ワイヤ13により構成された、極めて構成の簡単な半導体装置である。

【0029】半導体チップ11はステップ14に載置された状態でパッケージ12内に封止されており、その上面部には電極部16なるワイヤ15が配設されている。また、パッケージ12は例えばボリミド系の樹脂を所定形状に形成した樹脂パッケージであり、半導体チップ11を内部に封止することにより半導体チップ11を保護している。

【0030】ワイヤ13は、半導体チップ11に形成されたパッド1るにその下端が接続されると共に、上端部はパッケージ12の実装面12aに露出するよう引き出された外部電極部16を形成している。この外部電極部16は、半導体装置10を実装基板(図示せず)に実装する際に、実装基板に形成された電極部と接続される部となるものである。尚、このワイヤ13は、例えば金(Au)或いはアルミニウム(Al)等の導電性金属により構成されており、一般的の半導体装置において半導体チップとリードとを接続するワイヤとして汎用されているものである。

【0031】更に、パッケージ12の外部電極部16の引出位置には、例えば半球状の凹部21が形成されており、外部電極部16を所定範囲にわたり露出した構成とされている。

【0032】半導体装置20を上記構成とすることにより、従来のように半導体装置内に多層配線基板2(図1参照)を設ける必要はなくなり、半導体チップ11をワイヤ13のみによりパッケージ12の実装面12aに電気的に引き出すことが可能となるため半導体装置10のコントロールを図ることができる。また、上記のように多層配線基板2が不要となることにより半導体装置10の低背化を図ることができる。

【0033】また、従来必要であったパッケージ内における半導体チップ3と多層配線基板2との間のワイヤ配設処理は不要となり、これに伴い従来ワイヤを配設するために必要であったスペース(図1に矢印3で示すスペース)も不要となり、半導体装置20の小型化を図ることができる。

【0034】また、ワイヤ13はパッケージ12の実装面12aに向け略垂直に上方に延出した構成とされているため、ワイヤ13の長さを短くすることができる。インピーダンス特性の向上を図るために、高速処理を行う半導体チップ11に対しても十分に対応することができる。

【0035】更に、凹部21を形成することにより外部電極部16をパッケージ12より所定範囲にわたり露出する構成とすることにより、ワイヤ13のパッケージ12からの露出面積を広くすることができる。よって、半導体装置20を実装基板に形成された電極部と半田付けする際、半田と接合される接合面積は広くなり外部電極部16と実装基板の電極部との電気的接続を確実に行うことが可能となり、半導体装置20の実装性を向上させることができる。

【0036】図2は本発明の第2実施例である半導体装置30を示す図である。尚、同図において図1に示した半導体装置20と同一構成については同一符号を付してその説明を省略する。

【0037】図2に示す半導体装置30は、ワイヤ13がパッケージ12の実装面12aに引き出され外部電極部16を形成する凹部21の形成部位に、パンプ31を設けたことを特徴とするものである。このパンプ31としては、例えば半田パンプの適用が考えられる。

【0038】このように、外部電極部16が露出される位置である凹部21にパンプ31を設けたことにより、図2に示した第1実施例に係る半導体装置20のように、ワイヤ13が単に凹部21内で露出した構成に比べて電気的な接続面積が広がるため、半導体装置30を実装基板に実装する際ににおける実装性を向上させることができる。

【0039】図3は本発明の第3実施例である半導体装置40を示す図である。尚、同図においても図1に示した半導体装置20と同一構成については同一符号を付してその説明を省略する。

【0040】図3に示す半導体装置40は、パッケージ12の実装面12aに引き出され外部電極部41をパッケージ12の実装面12aに沿って外周縁に向け延出形成させた構成としたことを特徴とするものである。

【0041】上記構成とすることにより、実装面12aの上部に延出形成された外部電極部41は第2実施例で述べたパンプ31と同様の機能を持たせることができる。また、この外部電極部41はワイヤ13と一体的な構成であるため、第2実施例に係る半導体装置30のようにパンプをワイヤ13と別個に形成することなく実装性の向上を図ることができる。

【0042】統一して、図5乃至図7を用いて、上記した第1実施例に係る半導体装置20の製造方法について説明する。

【0043】図5はリードフレーム形成工程及び半導体

チップ搭載工程を説明するための図である。半導体装置20を製造するには、先ずリードフレーム50を形成する。リードフレーム50の形成は、半板状のドット材料(例えば、ウレthane樹脂等)に対して、ドットを形成する事によって行われる。

【00-04-4】このように加工が実施されることにより、リードフレーム50には半導体チップ11が搭載されるステージ1-4と、アイヤ13が接続されるリード部51が形成される。また、リードフレーム50が形成された状態で、ステージ1-4の位置はリード部51に対して低い位置にあるよう構成されている。

[0045] 上記のようにリードフレーム形成工程において上記した所定形状のリードフレーム51が形成されると、続いて半導体チップ搭載工程が実施される。半導体チップ搭載工程においては、先ず半導体チップ11をステージ14に接着剤等により固定すると共に、半導体チップ11に形成されているハッド15と上記リード部51との間にワイヤ13を配設する。このワイヤ13の配設は、半導体装置製造工程において一般に用いられているワイヤボンディング装置を用いて実施される。図5は上記したリードフレーム形成工程及び半導体チップ搭載工程が終了した状態を示している。

【0046】上記の半導体チップ搭載工程が終了すると、半導体チップ11が搭載されたリードフレーム50は金型52に装着されパッケージ形成工程が実施される。図6は半導体チップ11が搭載されたリードフレーム50を金型52に装着した状態を示す下段。

【0047】金型5-2は上型5-2aと下型5-2bにより構成されており、上型5-2aには内部にマイヤー1-3が位置する第1のキャビティ5-3が形成されており、また下型5-2bには半導体チャップ1-1が位置する第2のキャビティ5-4が形成されている。上記構成の金型5-2にワードローブ5-5aが装着されると、統合型マイヤー1-2となるモード下樹脂が各キャビティ5-3、5-4内に装填され、ワードローブ5-5aが形成される。

【0048】図7は、パッケージ1-2が構成されたりートフレーム5-0を金型5-2から離型した状態を示している。パッケージ形成工程が終了した段階においては、半導体チップ1-1とリード部5-1とを接続するリード1-3の全ての位置が接着により覆された構成となっている。

【0.0.5.0】上記のように不要部除去工程が終了すると、統いて凹部形成工程が実施される。この凹部形成工程は、図6中X-X線で示す位置で切断されたパッケージ2-1の上面において、パッケージ2-1が観測する位置に凹部2-1を形成するものである。この凹部2-1の形成は、切削加工等の機械加工により形成してもよく、またドライエッキング法を適用することも考えられる。尚、この凹部形成工程は、上型2-2a及び下型2-2bの構造を工夫することにより、上記のパッケージ形成工程において一括的に形成することも可能である。

〔0051〕上記一連の工程を実施することにより、第1実施例に係る半導体装置20を製造することができる。上記製造工程において、Jードフレーム形成工程、半導体チップ搭載工程及びパッケージ形成工程は一般的の半導体装置製造方法において実施されている工程と略同様工程であり、また不要部除去工程はパッケージ12の不要部分55を不要ワイヤ13aと共に切断する処理であるため容易に行うことができ、更に凹部形成工程もパッケージ12の実基面12aに凹部を形成するだけの加工であるため容易に行うことができる。よって、前記したように種々の効果を有する半導体装置20を容易に製造することができる。

【0052】尚、図5に示されるような、単にワイヤ13をパッケージ12の実装面12aに引き出し、実装面12aから露出した端部を外部電極16とした構成の半導体装置10（第4実施例に係る半導体装置）においても、上記した製造方法を適用することができ、この場合においても生産性の向上及びコストの低減を図ることが可能である。

〔0053〕また、第2実施例に係る半導体装置30を形成するには、上記した製造工程を実施することにより先ず第1実施例に係る半導体装置32を形成し、続いて外部電極部41の形成位置に半導体ホールド部42を配設した上で加熱処理を実施することによりハーフ31を形成すればよい。

【0054】 続いて、第3実施例に係る半導体装置40の製造方法について図8及び図9を用いて説明する。尚、第3実施例に係る半導体装置40の製造方法において、リードフレーム形成工程及び半導体チップ搭載工程は第1実施例に係る半導体装置20の製造方法と同一であるためその説明を省略する。

ージ1-2となるモールド樹脂が各キャビティ6-3内に装填されてパッケージ1-2が形成される。

【0056】図9は、パッケージ12が形成されたリードフレーム50を企型52から離型した状態を示している。本実施例に係る製造方法においては、パッケージ形成工程が終了した段階においてパッケージ12の一部はパッケージ12の実表面に沿って外周縁に向て延出した構成となっている。

〔0057〕上記のようには、バッケージ形成工程が終了すると、統いて不要部除去工程が実施される。この不要部除去工程においては、リード部51及びフィヤ13が所定位置（図中、Y-Y'線で示す位置）で切断される。上記一連の工程を実施することにより、第3実施例による半導体装置40を製造することができる。

【00158】半導体装置4-0の製造工程においても、リードフレーム形成工程、半導体チップ搭載工程及びパッケージ形成工程は一般的の半導体装置製造方法において実施されている工程と略同一工程であり、また不要部除去工程もリード部5-1及びワイヤ1-3を所定位置で切断する処理であるため容易に行うことができる。よって、前記したように種々の効果を有する半導体装置4-0を容易に製造することができる。また、金型6-2の構成を簡単化できるため、金型コア7の低減を図ることが可能、よって製品コストに低減を図ることができる。

[0059] 尚、図1乃至図4に示した各実施例に係る半導体装置10、20、30、40では、その幅寸法(図中、左右方向の寸法)を比較的長く設定した構成を示したが、パッケージ12の幅寸法は図1乃至図4に示した構成よりも小さくすることができる。図10はパッケージ12の幅寸法を小さくした構成で半導体装置70を示している。このように、パッケージ12の幅寸法を小さく設定することにより、更に半導体装置70の小型化を図ることができる。

【発明の効果】 上述の如く本発明によれば、下記に種々の効果を有するものである。

【0061】 請求項1の発明によれば、従来のように多層配線基板を設ける必要はない(ない)、半導体チップをドライヤー等によりドライケージの表面に電気的に引き出すことが可能となるため、半導体装置のコスト低減を図ることができる。また、上記のように多層配線基板が不要となることにより、半導体装置の低背化を図ることもできる。

【0062】また、従来必要であったバッケージ内に並ぶる半導体チップと多層配線基板との間のワイヤ配設処理は不要となり、これに伴い従来ワイヤを配設するため必要であったマスクも不要となり、半導体装置の小型化を図ることができる。

【0063】更に、パッケージの外部電極引出し位置に凹部を形成し、外部電極部を所定範囲にわたり突出する

構成したことにより、ワイヤのパッケージからの露出面積を広くすることができ実装性を向上させることができます。

【(4) 3.6.4】また、請求項2の発明によれば、バシブを形成することによりソリカ半導体が露出した構成に比べて接触面積が広がるため、半導体装置を実装する際における実装性を向上させることができる。

【0.0.6.5】また、請求項3の発明によれば、パッケージの表面に引き出され外部電極部をパッケージの表面に沿って延出させた構成とすることにより、この延出部分にパンプと同様の機能を持たせることができる。よって、パンプを形成することなく半導体装置を実装する際に与ける実装性を向上させることができる。

〔0066〕また、請求項4の発明方法によれば、リードフレーム形成工程、半導体チップ搭載工程及びパッケージ成形工程は一般的の半導体製造方法において実施されている工程と同一工程であり、また不要部除去工程もバッカージの所定位置を切断する処理であるため、容易に行なうことができる。

【0067】更に、請求項5の発明方法によれば、上記不要部除去工程において上記リードフレームが金型に接着された状態において、上記ワイヤの配設位置を金型を構成する上型と下型との分離位置に配設したことにより、ワイヤは形成されるハーフケージの表面に沿って延出した構成となるため、請求項3記載の半導体装置を容易に形成することができる。

### 【図面の簡単な説明】

〔図1〕本発明の第1実施例である半導体装置を示すもので、(A)は半導体装置の実装面を示す図であり、(B)は(A)におけるA-A'線に沿った断面図である。

【図2】本発明の第2実施例である半導体装置を示すもので、(A)は半導体装置の裏面面を示す図であり、(B)は(A)におけるA-3-A'3'線に沿った断面図である。

【図3】本発明の第3実例である半導体装置を示すもので、(A)は半導体装置の裏表面を示す図であり、(B)は(A)におけるA-4-A-4線に沿うて断面図である。

【図4】本発明の第4実施例である半導体装置を示す。図(A)は半導体装置の実面図であり、図(B)は(A)におけるA-A'線に沿った断面図である。

【図3】 リードフレーム形成工程及び半導体チップ搭載工程を説明するための図である。

【図6】第1実施例に係る半導体装置の製造方法を説明する図であって、半導体チップが搭載されたりードフレームを金型に基準した状態を示す図である。

【図7】第1実施例に係る半導体装置の製造方法を説明する図であって、パッケージが形成されたリードフレーム

ムを企型から離型した状態を示す図である。

【図8】第3実施例に係る半導体装置の製造方法を説明する図であって、半導体チップが搭載されたリードフレームを企型に装着した初期を示す図である。

【図9】第3実施例に係る半導体装置の製造方法を説明する図であって、パッケージが形成されたリードフレームを企型から離型した状態を示す図である。

【図10】パッケージの幅寸法を小さくした構成の半導体装置を示す図である。

【図11】従来の半導体装置の一例を示す図である。

【符号の説明】

10, 20, 30, 40, 70 半導体装置

11 半導体チップ

12 パッケージ

12a 実装面

13 フィヤ

13a 不要フィヤ

14 ステー

15 フレーム

16, 41 外部電極部

21 四部

31 パンフ

50 リードフレーム

51 リード部

52, 62 手型

52a, 62a 上型

52b, 62b 下型

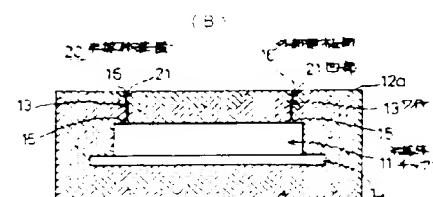
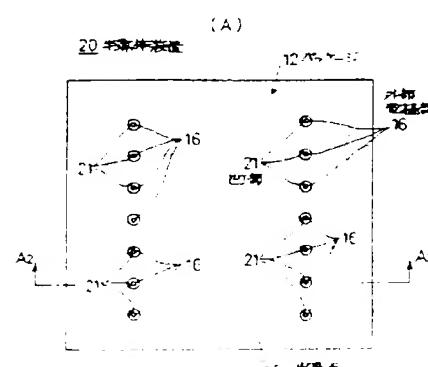
53 第1のキャビティ

54 第2のキャビティ

63 キャビティ

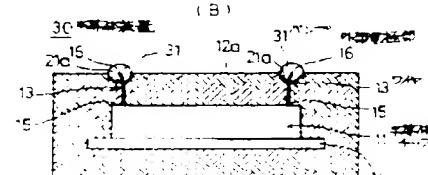
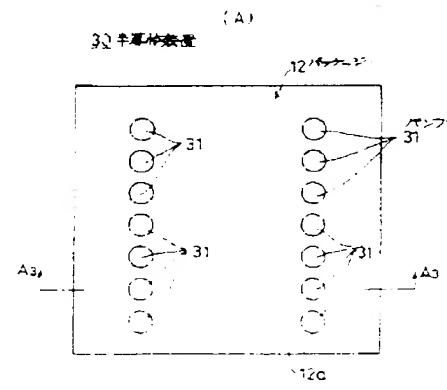
【図1】

本発明の第1実施例である半導体装置を示す(A)は半導体装置の実装面を示す図であり、(B)は(A)におけるA2-A2線に沿った断面図



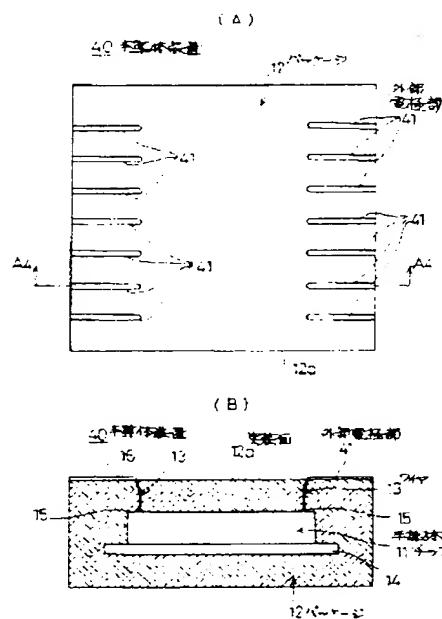
【図2】

本発明の第2実施例である半導体装置を示す(A)は半導体装置の実装面を示す図であり、(B)は(A)におけるA3-A3線に沿った断面図



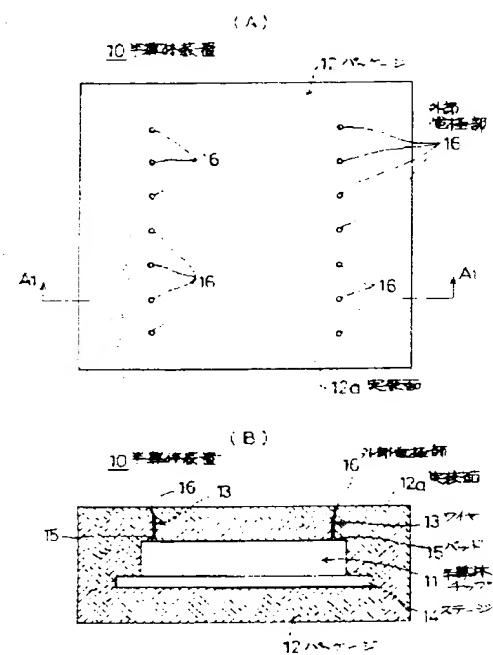
【図3】

衣類等の第3実施例は半導体装置を下しておる(A)は半導体装置の実装面を示す図であり、(B)は(A)におけるA1-A1線に沿った断面図



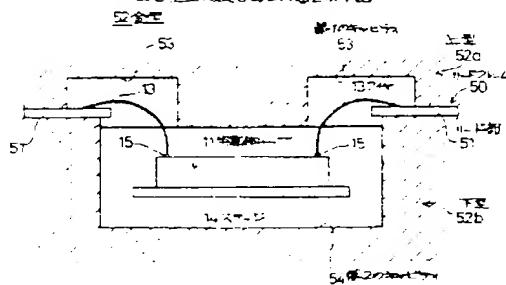
【図4】

本発明の第4実施例による半導体装置を示す図であり、(A)は半導体装置の実装面を示す図であり、(B)は(A)におけるA1-A1線に沿った断面図

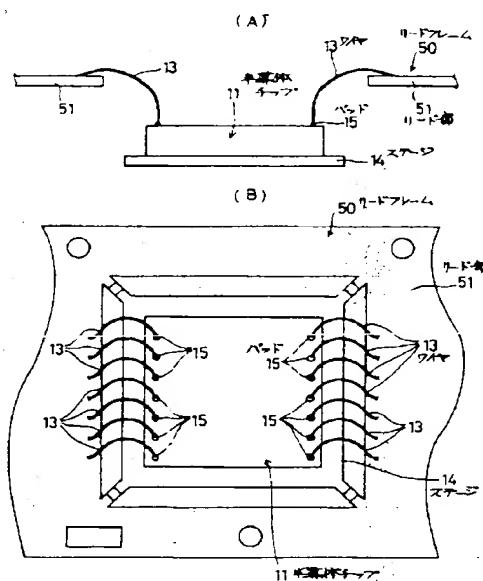


【図6】

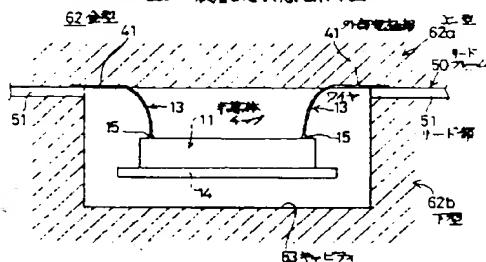
第1実施例に係る半導体装置の構造を主として説明する図であつて、半導体へ一括形成されたリードフレームを半導体装置として示す図



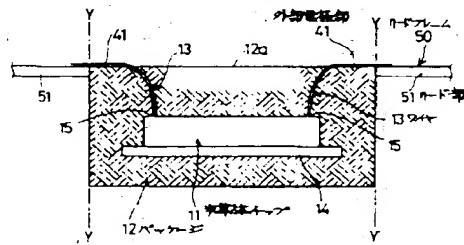
【図5】

1-ドフレーム形成工程及び半導体チップ  
搭載工程を説明するための図

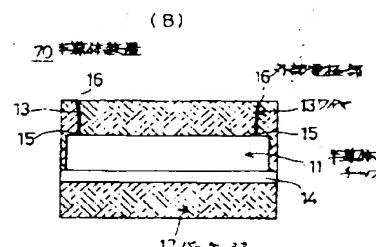
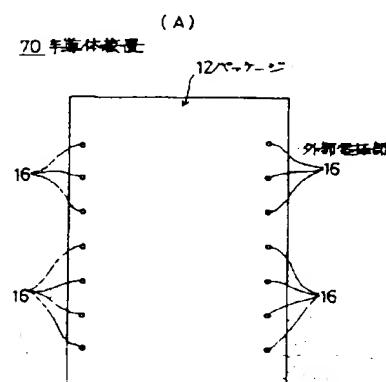
【図8】

実施例に係る半導体装置の構造方法を説明  
する図であつて、半導体チップが複数のリード  
フレームを基盤に搭載した状態を示す図

【図9】

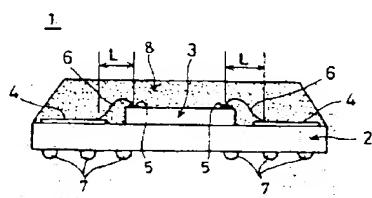
実施例に係る半導体装置の構造方法を説明  
する図であつて、パッケージが形成されたリードフレーム  
を基盤から離型した状態を示す図

【図10】

パッケージの幅の寸法を小さくした構成の半導  
体装置を示す図

【図11】

## 従来の半導体装置の一例を示す図



---

フロントページの続き

(72)発明者 諏訪 守

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内